BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number:

09-293938

(43)Date of publication of application: 11.11.1997

(51)Int.CI.

H05K 1/02

(21)Application number: 08-221503

(71)Applicant: HITACHI LTD

HITACHI TOBU SEMICONDUCTOR LTD

(22)Date of filing:

22.08.1996

(72)Inventor: K

KANNO TOSHIO TSUKUI SEIICHIRO

TOKIDA KENSUKE

(30)Priority

Priority number: 08 37764

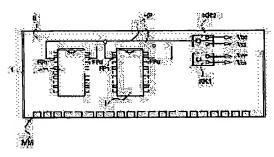
Priority date: 26.02.1996

Priority country: JP

(54) MEMORY MODULE AND MANUFACTURE THEREOF

(57)Abstract:

PROBLEM TO BE SOLVED: To arbitrarily switch the function and the word structure of a semiconductor device at a package outside part. SOLUTION: In a memory module MM, a function switching devices KK1 and KK2, with which the function switching signals inputted to function switching pins FP0 and FP1 of a memory 1 are arbitrarily switched, are provided on a module wiring board 5. The function switching signals are arbitrarily switched from nonconnection, source voltage Vcc or grounding potential Vss by the function switching devices KK1 and KK2, the function switching signals are collectively inputted to all the mounted memories 1, and the function consisting of a read-out system and a fresh cycle is switched and arbitrarily set.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

(18) 日本国特許庁 (JP)

(11) 特許出願公開番号 ₩公開特許公報 (A)

 ∞ 特開平9-29393

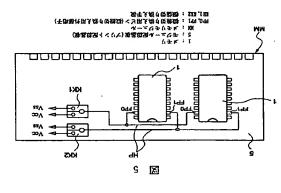
(43) 公開日 平成9年(1997) 11月11日

最終買に続く 東京都千代田区神田駿河台四丁目6番地 埼玉県入間郡毛呂山町大字旭台15番地 埼玉県入間郡毛呂山町大字旭台15番地 東京都小平市上水本町五丁目10番1号 日立東部セミコンダクタ株式会社 式会社日立製作所半導体事業部内 立束部セミコンダクタ株式会社内 (全21頁) 大 株式会社日立製作所 译人并 就一郎 弁理士 筒井 哲野 利夫 000233577 (77) 発明者 (74) 代理人 (11) 出頭人 (72) 発明者 (11) 出願人 OL 審査請求 未請求 鶴水頂の数2() 平成8年(1996)8月22日 平8 (1996) 2月26日 特顯平8-221503 特顯平8-37764 8* (JP) (31) 優先権主張番号 (33) 優先権主張国 (11) 出願番号 (32) 優先日 (13) 出願日

(54) 【発明の名称】メモリモジュールおよびその製造方法

【牌題】 半導体装置の機能およびワード構成をパッケ 一ジ外部で任意に切り換える。

換える機能切り換え手段KK1, KK2が設けられてい 【解決手段】 メモリモジュールMMにおいて、モジュ 一ル配線基板5にはメモリ1の機能切り換え用ピンFP る。そして、これら模能切り換え手段KK1,KK2に よって機能切り換え倡号をノンコネクト、電源電圧V c 読み出し方式およびリフレッシュサイクルからなる 0, FPIに入力される機能切り換え信号を任意に切り cまたはグランド配位V s sのいずれかから任意に切り 換え、実装されている全てのメモリ1に一括して入力 機能の切り換えを行い、任意に設定する。



【請求項1】 機能切り換え信号の状態により機能の切 (特許請求の範囲)

少なくとも 1 個の前記半導体装置が実装され、前記機能 り換えが行われる機能切り換え用外部端子を散けた半導

号を選択する機能切り換え手段を設けたブリント配線基 切り換え用外部端子に入力される任意の機能切り換え信 【請求項2】 請求項1記載のメモリモジュールにおい 板とよりなることを特徴とするメモリモジュール。

前記機能切り換え手段が、

前部プリント配線基板に設けられ、前部プリント配線基 版に実装された前記半導体装置の前配機能切り換え用外 部端子と電気的に接続された第1の接続部と、

前記プリント配線基板に設けられ、電源電圧に接続され た第2の接続部と、

前記プリント配線基板に設けられ、基準電位に接続され た第3の接続部とを備え、

第1の接続部と前記第3の接続部との間に導通手段を乗 に入力される機能切り換え倡号を一括して切り換える手 前記第1の接続部と前記第2の接続部との間または前記 **数あるいは実装を省略し、前配機能切り換え用外部端子** 毀であることを特徴とするメモリモジュール。

【猶坎項3】 請水項1記載のメモリモジュールにおい て、前記機能切り換え手段を、前記プリント配線基板の コーナ部またはその近傍に配置したことを特徴とするメ モリモジュール。

Ш

森

【猶求更4】 額求項1配載のメモリモジュールにおい て、前記機能切り換え手段によって切り換えられる前記 半導体装置の機能が、読み出し方式であることを特徴と するメモリモジュール。 【讃欢項5】 類求項1記板のメモリモジュールにおい て、前記機能切り換え手段によって切り換えられる前記 半導体装置の機能が、リフレッシュサイクルであること を特徴とするメモリモジュール。

て、前記機能切り換え手段によって切り換えられる前記 【樹坎頂6】 闘坎頂1記数のメモリモジュールにおい 半導体装置の機能が、競み出し方式およびリフレッシュ サイクルであることを特徴とするメモリモジュール。

【精吹頂7】 静水頃1記載のメモリモジュールにおい 換え用外部端子を般け、前記プリント配線基板に、予め 投定されたワード構成切り換え倡号を前記ワード構成切 て、前記半導体装置に、ワード構成切り換え倡号の状態 によりワード構成の切り換えが行われるワード構成切り り換え用外部端子に入力するワード構成般定配線を設け たことを特徴とするメモリモジュール。

【請求項8】 ワード構成切り換え信号の状態によりワ ド構成の切り換えが行われるワード構成切り換え用外 部端子を設けた半導体装置と、

特開平9-293938

3

られた前配半単体被回のワード構成に対応する専用の配 **線を股けた専用ブリント配線基板とよりなることを特徴** とするメモリモジュール。

旨号を選択するワード構成切り換え手段を設けたことを 【群坎頂9】 類水頂8 記載のメモリモジュールにおい て、前記専用ブリント配線基板に、前記ワード構成切り 換え用外部端子に入力される任意のワード構成切り換え 特徴とするメモリモジュール。

切り換え用外部端子に入力され、所定のワード構成に切 【趙坎頃10】 額求項9記載のメモリモジュールにお により所定のワード構成切り換え倡号が前配ワード構成 いて、前記ワード構成切り換え手段が、前記専用ブリン ト配線基板に配線され、前記半導体装置を実装すること り換えられるワード構成散定配線よりなることを特徴と するメモリモジュール。

【精吹項11】 精吹項9記載のメモリモジュールにお

前記ワード構成切り換え手段が、

ト配線基板に実装された前配半導体装置の前記ワード構 成切り換え用外部端子と電気的に接続された第4の接続 煎配再用 ブリント 配線基板に設けられ、 節記専用 ブリン 2

前記専用ブリント配線基板に散けられ、電源電圧に接続 された第5の接続部と、

前記専用ブリント配稿基板に設けられ、基準配位に接続 された第6の接続即とを備え、

前記第4の接続部と前記第5の接続部との間または前記 第4の接続部と前記第6の接続部との間に導通手段を実 抜あるいは実装を省略し、前記ワード構成切り換え用外 部端子に入力されるワード構成切り換え倡号を一括して 切り換える手段であることを特徴とするメモリモジュー 2

用外部端子に入力される任意の機能切り換え倡号を選択 【樹坎貝12】 鯖水頃8 記載のメモリモジュールにお り機能の切り換えが行われる機能切り換え用外部端子を する機能切り換え手段を散けたことを特徴とするメモリ いて、前記半導体装置に、機能切り換え信号の状態によ 敗け、前記専用ブリント配線基板に、前記機能切り換え

【簡枚頁13】 請枚項12記載のメモリモジュールに

前記機能切り換え手段が、

前記専用ブリント配線基板に散けられ、低源電圧に接続 、配御基板に実装された前配半導体装置の前記機能切り 前部専用ブリント配線基板に散けられ、前部専用ブリン 換え用外部端子と電気的に接続された第1の接続部と、

河記専用ノリント配鎖基板に散けられ、基準配位に接続 された第3の接続部とを備え、 された第2の接続部と、

前記第1の接続部と前記第2の接続部との間または前記

2

少なくとも 1個の前記半導体装置が実装され、切り換え

神宮中9-293938

第1の接続即と前記第3の接続即との間に導通手段を実 **装あるいは実装を省略し、前記機能切り換え用外部端子** に入力される機能切り換え宿号を一括して切り換える手 【讃求項14】 類求項12記載のメモリモジュールに 段であることを特徴とするメモリモジュール。

いて、前記機能切り換え手段によって切り換えられる前 おいて、前記機能切り換え手段によって切り換えられる 前記半導体数国の機能が、読み出し方式であることを特 【糖枚頁15】 類が頁12版のメモリモジュールにお 記半苺体被置の機能が、リフレッシュサイクルであるこ 散とするメモリモジュール。

=

【翻求項16】 翻求項12記載のメモリモジュールに おいて、前記機能切り換え手段によって切り換えられる 前記半導体被固の機能が、競み出し方式およびリフレッ シュサイクルであることを特徴とするメモリモジュー とを特徴とするメモリモジュール。

おいて、前記機能切り換え手段が、前記専用ブリント配 線基板に配線され、前配半導体装置を実装することによ 【韓共員17】 頼北頁12記載のメモリモジュールに り所定の機能切り換え倡号が前記機能切り換え用外部端 子に入力され、所定の機能に切り換える機能散定配線よ りなることを特徴とするメモリモジュール。

前記複数種の専用ブリント配線基板から、要求される前 【翻求項18】 ワード構成切り換え用外部端子に入力 されたワード構成切り換え信号に基づいて所定のワード **隔成の切り換えを行う半導体装置と、複数のワード構成** 記半導体装置のワード構成に対応する 1つの前記専用ブ に対応する複数種の専用プリント配線基板とを用意し、 リント配線基板を選択する工程と、

選択された前記専用プリント配線基板に前記半導体装置 を実装する工程とを有したことを特徴とするメモリモジ ュールの製造方法。

体装配と、導通手段を実装あるいは実装を省略すること 板から、要求される前記半導体装置のワード構成に対応 【鷸北頂19】 ワード構成切り換え用外部端子に入力 されたワード構成切り換え信号に基づいてワード構成の 切り換えを行い、機能切り換え用外部端子に入力された 機能切り換え信号に基づいて機能の切り換えを行う半導 により前記機能切り換え用外部端子に入力する任意の機 配線基板とを用意し、前記複数種の専用プリント配線基 れ、複数のワード格成に対応する複数種の専用ブリント 能切り換え倡号を選択する機能切り換え手段が散けら する1つの前記専用ブリント配線基板を選択する工程 選択された前記専用ブリント配線基板に前記半導体装置 を実装する工程と、 前記導過手段を実装あるいは実装を省略し、任意の機能 を選択的に切り換える工程とを有したことを特徴とする メモリモジュールの製造方法。

【請求項20】 ワード構成切り換え用外部端子に入力 類成の切り換えを行い、機能切り換え用外部端子に入力 された機能切り換え信号に基づいて所定の機能の切り換 えを行う半導体装置と、複数のワード構成ならびに複数 の機能の切り換えに対応する複数種の専用ブリント配線 基板とを用意し、前記複数種の専用プリント配緘基板か 5、要求される前記半導体装置のワード構成および機能 の切り換えに対応する 1つの前記専用ブリント配線基板 されたワード構成切り換え信号に基づいて所定のワード を選択する工程と、

選択された前記専用プリント配線基板に前記半導体装置 を実装する工程とを有したことを特徴とするメモリモジ ュールの製造方法。

[発明の詳細な説明]

[0001]

より構成されるメモリモジュールの機能ならびにワード 構成の切り換えに適用して有効な技術に関するものであ [発明の興する技術分野] 本発明は、メモリモジュール 5よびその製造方法に関し、特に、複数の半導体装置に

[0002]

2

Random Access Memory) 半 【従来の技術】本発明者が検討したところによれば、パ - ンナルコンピュータやワークステーションなどの拡張 メモリに用いられるメモリモジュールは、たとえば、S 形の被脂封止バッケージからなるDRAM (Dynam 均体装置であるメモリが、モジュール配線基板に実装さ OJ (Small Outline Package) れることにより構成されている。

【0003】そして、メモリモジュールは使用される装 **倒に見合った仕様とするために、リフレッシュ動作のサ** PAGE PEDO (Extended Data Ou t)などの読み出し方式の切り換えなどのメモリにおけ 5.機能の切り換えが行われたメモリを前述したモジュー イクルであるリンフッシュサイクルならびにFAST い配線基板に実装している。 =

パッケージの組立工程の1つであるポンディング工程に ディングワイヤによって電源電圧Vccやグランド電位 Vssなどに接続したり、接続なしのノンコネクト(N おいて、半導体チップに設けられた所定の配極部をポン 【0004】また、これらメモリの機能の切り換えは、 C)とすることにより行われている。

【0005】さらに、前述したメモリの機能切り換えを 行う他の方法として、たとえば、特開昭59-7549 に、所定の倡号に基づいてプログラマブルにピット長モ 4号公報に示されるようにメモリの外部から供給された 所定の信号によって所定の読み出し方式などを選択する **メモリや特関昭61-59682号公報に示されるよう** 一ドの指定を行うメモリが知られている。

【0006】なお、この種のメモリ拡張システムについ

2

日刊工業新聞社発行、鈴木八十二(編著)「半導体 り、この文献には、メモリ拡張用DRAMボードの回路 て群しく述べてある例としては、1990年8月30 MOSメモリとその使い方」P114~P126があ 薛氏や製作などが問題かれたいる。 (発明が解決しようとする課題】ところが、上記のよう なメモリモジュールでは、次のような問題点があること が本発明者により見い出された。

[0000]

[0008] バーンナルコンピュータなどの拡張用メモ リとして使用されるメモリモジュールに用いられるメモ りは各種の機能切り換えを有しているが、モジュール配 メモリモジュールの組立を行っており、生産の自由度が は、機能切り換えを行うことかできないので各機能別に **線基板に実装され完成品となったメモリモジュールで** 低下してしまうという問題がある。

【0009】本発明の目的は、各々の機能およびワード 構成をパッケージ外部で任意に切り換えることのできる メモリモジュールおよびその製造方法を提供することに [0010]本発明の前記ならびにその他の目的と新規 な特徴は、本明細母の記述および添付図面から明らかに なるであろう。

【課題を解決するための手段】本間において開示される 発明のうち、代表的なものの概要を簡単に説明すれば、 以下のとおりである。

る機能切り換え用外部端子を散けた半導体装置と、少な くとも 1 個の前記半導体数置が実装され、前記機能切り 換え用外部端子に入力される任意の機能切り換え倡号を 機能切り換え信号の状態により機能の切り換えが行われ 選択する機能切り換え手段を散けたプリント配線基板と 【0012】 すなわち、本発明のメモリモジュールは、 よりなるものである。

ន

【0013】また、本発明のメモリモジュールは、前記 **機能切り換え手段が、ブリント配線基板に散けられ、ブ** ント配領基板に設けられ、電源電圧に接続された第2の 接続部と、ブリント配線基板に設けられ、基準配位に接 続された第3の接続部とを備え、第1の接続部と第2の 接続部との間または第1の接続部と第3の接続部との間 用外部端子に入力される機能切り換え信号を一括して切 用外部端子と電気的に接続された第1の接続部と、ブリ に導通手段を実装あるいは実装を省略し、機能切り換え リント配線基板に実抜された半導体装置の機能切り換え り換える手段よりなるものである。

【0014】さらに、本発明のメモリモジュールは、前 記機能切り換え手段をプリント配線基板のコーナ部また はその近傍に配置したものである。

機能切り換え手段によって切り換えられる半導体装置の 【0015】また、本発明のメモリモジュールは、前記

機能が、競み出し方式よりなるものである。

兄機能切り換え手段によって切り換えられる半導体装置 【0017】また、本発勁のメモリモジュールは、煎配 **境能切り換え手段によって切り換えられる半導体装置の 機能が、読み出し方式およびリフレッシュサイクルより** の抵能が、リフレッシュサイクルよりなるものである。 [0016] さらに、本発明のメモリモジュールは、 なるものである。

記半導体装置に、ワード構成切り換え信号の状態により ワード構成の切り換えが行われるワード構成切り換え用 外部端子を設け、前記プリント配線基板に、予め設定さ れたワード構成切り換え倡号をワード構成切り換え用外 部端子に入力するワード構成股定配積を設けたものであ 【0018】さらに、本発明のメモリモジュールは、

を行うワード構成切り換え用外部端子を設けた半導体装 団と、少なくとも1個の半導体装置が実装され、切り換 えられた半導体装置のワード構成に対応する専用の配線 記専用ブリント配御基板に、ワード構成切り換え用外部 端子に入力される任意のワード構成切り換え信号を選択 ド梅成切り換え信号の状態によりワード構成の切り換え 【0019】また、本発明のメモリモジュールは、ワー を散けた専用ブリント配視基板とよりなるものである。 [0020] さらに、本発明のメモリモジュールは、 するワード構成切り換え手段を脱けたものである。

[0021]また、本発明のメモリモジュールは、前記 ワード構成切り換え手段が、専用ブリント配線基板に配 **得され、半導体装置を実装することにより所定のワード** 構成切り換え信号がワード構成切り換え用外部端子に入 力され、所定のワード構成の切り換えが行われるワード 構成散定配線よりなるものである。

段けられ、専用ブリント配線基板に実装された半導体装 **電源電圧に接続された第5の接続部と、専用ブリント配 模基板に設けられ、基準電位に接続された第6の接続**的 とを備え、第4の接続部と第5の接続部との間または第 4の接続部と第6の接続部との間に導通手段を実装ある いは実装を省略し、ワード構成切り換え用外部端子に入 カされるワード構成切り換え倡号を一括して切り換える **団のワード構成切り換え用外部端子と電気的に接続され** 記ワード構成切り換え手段が、専用ブリント配積基板に た第4の接続部と、専用ブリント配線基板に設けられ、 【0022】さらに、本発明のメモリモジュールは、 **•**

【0023】また、本発明のメモリモジュールは、前記 半均体装置に、機能切り換え信号の状態により機能の切 り換えが行われる機能切り換え用外部端子を設け、前記 力される任意の機能切り換え倡号を選択する機能切り換 専用ブリント配稿基板に、機能切り換え用外部端子に入 え手段を設けたものである。 手段よりなるものである。

【0024】さらに、本発明のメモリモジュールは、前

2

記機能切り換え手段が、専用ブリント配線基板に設けら 能切り換え用外部端子と電気的に接続された第1の接続 部と、専用ブリント配線基板に散けられ、電源衛圧に接 られ、基準電位に接続された第3の接続部とを備え、第 第3の接続部との間に導通手段を実装あるいは実装を省 略し、機能切り換え用外部端子に入力される機能切り換 【0025】また、本発明のメモリモジュールは、前記 機能切り換え手段によって切り換えられる半導体装置の 12、 専用ブリント配線基板に実装された半導体装置の機 続された第2の接続部と、専用ブリント配線基板に設け 1の接続部と第2の接続部との間または第1の接続部と え信号を一括して切り換える手段よりなるものである。 疑能が、脱み出し方式よりなるものである。

装置の機能が、リフレッシュサイクルよりなるものであ [0026] さらに、本発明のメモリモジュールは、前 記機能切り換え手段によって切り換えられる前記半導体

機能が、読み出し方式およびリフレッシュサイクルより 【0027】また、本発明のメモリモジュールは、町記 凝能切り換え手段によって切り換えられる半導体装置の

【0028】さらに、本発明のメモリモジュールは、哲 記機能切り換え手段が、専用ブリント配線基板に配線さ 17、半導体装置を実装することにより所定の機能切り換 え倡号が機能切り換え用外部端子に入力されて、所定の **機能の切り換えを行う機能股定配線よりなるものであ**

ド構成切り換え信号に基づいて所定のワード構成に切り [0029]また、本発明のメモリモジュールの製造方 換えを行う半導体装置と、複数のワード構成に対応する ド構成に対応する1つの専用プリント配線基板を選択す る工程と、選択された専用ブリント配線基板に半導体装 法は、ワード構成切り換え用外部端子に入力されたワー 複数種の専用プリント配線基板とを用意し、複数種の専 用ブリント配線基板から、要求される半導体装置のワー **置を実装する工程とを有したものである。**

を行い、機能切り換え用外部端子に入力された機能切り 【0030】 かのに、 本館田のメホリホジュールの財福 方法は、ワード構成切り換え用外部端子に入力されたワ ード構成切り換え信号に基づいてワード構成の切り換え 換え倡号に基づいて機能の切り換えを行う半導体装置

ード協成に対応する複数種の専用プリント配線基板とを 抜あるいは突装を省略し、任意の機能を選択的に切り換 と、導通手段を実装あるいは実装を省略することにより **換能切り換え用外部端子に入力する任意の機能切り換え** 信号を選択する機能切り換え手段が散けられ、複数のワ **用意し、複数種の専用ブリント配線基板から、要求され** 8 半導体被団のワード構成に対応する1つの専用ブリン ト配線基板を選択する工程と、選択された専用ブリント 配線基板に半導体按置を実装する工程と、導通手段を実

える工程とを有したものである。

草体装置と、複数のワード構成ならびに複数の機能の切 【0031】また、本発明のメモリモジュールの製造方 ・構成切り換え信号に基づいて所定のワード構成の切り 切り換え信号に基づいて所定の機能の切り換えを行う半 り換えに対応する複数種の専用ブリント配線基板とを用 **意し、複数種の専用プリント配線基板から、要求される** 前記半導体数層のワード構成および機能の切り換えに対 換えを行い、機能切り換え用外部端子に入力された機能 選択された専用プリント配線基板に半導体装置を実装す 去は、ワード構成切り換え用外部端子に入力されたワー 応する1つの専用プリント配線基板を選択する工程と、 る工程とを有したものである。

[0032]以上のことにより、半導体装置の製品開発 の効率を向上させることができ、且つ製品管理も容易と なり、コストも低減することができる。

【発明の実施の形態】以下、本発明の実施の形態を図面 に組むいた評価に親思する。

形態1によるメモリの要部の構造説明図、図2は、本発 本発明の実施の形態 1 によるメモリの内部結線を示す説 明図、図4は、本発明の実施の形態1によるメモリの機 能およびワード構成の切り換えの説明図、図5は、本発 明の実施の形態1によるメモリを実装したメモリモジュ は、本発明の実施の形態1によるメモリを実装したモジ ュール配線基板の実装図、図8は、本発明の実施の形態 を示す説明図、図9は、本発明の実施の形態1によるメ 一ルの結績説明図、図6は、本発明の実施の形態1によ るメモリを実装するモジュール配線基板の配線図、図7 1によるメモリの機能切り換えを行うジャンパの実装例 【0034】 (実施の形態1) 図1は、本発明の実施の 明の実施の形態 1 によるメモリのピン配留図、図 3 は、 モリモジュールのブロックダイアグラム図である。 70

1は、図1に示すように、半導体チップ2の中央部に股 【0035】本実施の形態1において、表面実装パッケ -シの1種であるTCP (TapeCarrier P ackage) 形のDRAM半導体装置からなるメモリ けられた電極であるポンディングバッドBPが配置され

【0036】また、メモリ1は、たとえば、ポリイミド からなるフィルム3の上面にリードとなる钢箔の配線4 が繰り返し形成されたテープキャリアに前近した半導体 テップ2が指載された構造となっている。 [0037] そして、半導体テップ2に設けられたポン ディングパッドBPは、テーブキャリアに形成された配 様々の先端部のインナリード48とそれぞれ超気的に接 税が行われている。さらに、インナリード48が延在し て後述するモジュール配線基板に散けられたランドなど の外部接続電極と電気的に接続されるアウタリード4b

となっている。

ខ្ល

[0039] 次に、メモリ1は、図2に示すように、た [0038] また、半導体チップ2およびインナリード スッケージを形式され、バッケージかの叙出した値かの 48か、たとえば、エポキシ系樹脂によって封止されて リードは、略クランク形状に屈曲形成されている。

とえば、続ヒン数は28ピンにより構成され、機能の切 **0 換えを行うポンディングパッドBP1,BPnと接続** ン(機能切り換え用外部端子)FP1,FP0として股 された2,27ピンのアウタリードが機能切り換え用ビ

れらポンディングバッドBP3, BP2に入力される個 【0040】また、メモリ1には、ワード構成を切り換 えるポンディングパッドBP3, BP2が設けられ、こ **号の状態により、任意にワード構成が切り換えられるこ**

いることになる。

ピン、〇mはリード時にデータ出力信号、データ入出力 **入力用のピン、RAS、CASは行と列の選択信号用の** 国号の状態を制御する**自号用のピン、V c c は電源**配圧 V c c 用のピンおよびV s sは基準電位であるグランド [0041] おらに、図2において、100~103は データ入出力用のピン、WEはアクセスがリードかうイ トかを指定する信号用のピン、A0~A11はアドレス 単位Vss用のピンとなっている。

【0042】次に、メモリ1における内部結線構造につ いて、図3を用いて具体的に説明する。

P1,BP0、ワード構成を切り換えるポンディングパ られたボンディングバッドBPの内、2,27 ピンの機 cc用の配線4および15,28ピンのグランド電位用 【0043】まず、メモリ1は、半導体チップ2に脱け 能切り換え用ピンFP1,FP0と電気的に接続されて いる電極である機能切り換え用のポンディングバッドB ッドBP3, BP2ならびに1, 14ピンの亀淑亀圧V の配線4のみの配面を示している。

ファッシュ観作のサイクルやあるリファッシュサイクル [0044] ここで、メモリ1において、機能とは、リ ならびにFAST PAGEとEDOからなる読み出し

とEDOとの読み出し方式の切り換えおよび4M×1ピ リフレッシュサイクルの切り換え、FAST PAGE ット、4M×4ピット、4M×8ピットの3種類のワー [0045]そして、図4に示すように、メモリ1は、 **ド梅成の切り換えを行うことができる。**

宮号を入力し、それらの機能切り換え倡号を前述した図 られた機能切り換え用のポンディングパッドBP1, B P0の接続先、すなわち、2,27ピンの機能切り換え 用ピンFPU,FP1に電源電圧Voc、グランド電位 [0046] また、メモリ1におけるこれら機能の切り 換えは、図3に示す半導体チップ2の所定の位置に散け Vssまたはノンコネクトから選択された機能切り換え 4 に示すように組み合わせることにより行う。

[0048] よって、メモリ1のワード梅成は、図4に [0047] さらに、ワード様成を切り換えるポンディ ングバッドBP3,BP2の接続先は、テープキャリア に形成されたインナリード4 Bの配線によって予め決定 されており、図2に示すように、本実施の形態のメモリ 示すように、ポンディングバットBP3, BP2か、ノ た、4K×4 Kットのワード雄氏が血軽色に強伏された どこにも接続されていないノンコネクトとなっている。 1においては、ボンディングバッドBP3, BP2は、 ンコネクト (図4では, OPEN, と示す) であるの

0に入力される機能切り換え信号をどこにも接続しない ノンコネクト (図4では, OPEN, と示す) とし、機 能切り換え用ピンFP1に入力される機能切り換え倡号 サイクルが2kサイクル、腕み出し方式がFASTPA [0049]また、図4より、機能切り換え用ピンFP を亀波的圧V c c とすると、メモリ 1は、リフレッシュ GEとなる機能が選択されることになる。

ではなく、メモリモジュールMMにおけるメモリ 1の結 換えおよびワード構成の切り換えを行う方法について脱 明する。また、図5は、実際の実装配置を説明するもの 【0050】ここで、図5を用いてメモリ1の機能切り 線状態を模式的に示したものである。

0に入力される機能切り換え信号を任意に切り換える機 用ピンFP1に入力される機能切り換え信号を任意に切 [0051]まず、図5のメモリモジュールMMにおい て、メモリ1を実装するモジュール配線基板(ブリント 配線基板)5には、メモリ1の機能切り換え用ピンFP 能切り換え手段XX 1 ならびにメモリ 1 の機能切り換え り換える機能切り換え手段KK2が設けられている。

ト、電源はかったはグランド 【0052】また、機能切り換え信号は、ノンコネク かから選択された信号となっている。

【0053】さらに、モジュール配額基板5に実装され たすべてのメモリ1の機能切り換え用ビンFP0,FP 1は、それそれ機能切り換え手段KK1,KK2に接続 されるように配稿パターンHPによって配線が描されて

K K 2 によって前述した機能切り換え信号を任意に切り し、図4に示す読み出し方式およびリフレッシュサイク **ルからなる機能に切り換えを行い、任意に設定すること** [0054] そして、これら機能切り換え手段KK1, 換え、実装されている全てのメモリ1に一括して入力 9

KK2を実際に散け、機能の切り換えを行うメモリモジ [0055]次に、前述した機能切り換え手段KK1, ュールを図6、図7を用いて具体的に説明する。

ーシであるTCP形のメモリ1 (図2) を実装し、所定 【0056】まず、図6に示すように、表面実数パッケ のメモリ構成を構成するメモリモジュールにおいて、メ

2

特国平9-293938

9

【0057】さらに、モジュール配線基板5の要面58 および裏面5bには、メモリモジュールの構成に必要な 所定の接続先に電気的に接続が行われるランドが形成さ メモリ1や種々のチップ部品などが実装されるように、

切り換える均通用チップを実験するランド (第1の接続 え倡号の状態を切り換える後述する導通用チップを実装 【0058】また、モジュール配線基板5の裏面5bに られた模能切り換え用ビンドP0(図2)に機能切り換 するランド (第1の接続部) L1、ランド (第2の接続 換え用ビンFP1(図2)に機能切り換え信号の状態を おける一方の長辺のコーナ部近傍には、メモリ1に散け 部) L2、ランド (第3の接続部) L3および機能切り 部) L4、ランド (第2の接続部) L5、ランド (第3 の接続的) L6が散けられている。

ュールI/O端子MTがモジュール配線基板5の長手方 a、裏面5bにおける他方の長辺には、所定の数のモジ 【0059】さらに、モジュール配線基板5の表面5 何に治って戦けられている。

ュールI/O端子MIが所定の接続先にそれぞれ電気的 【0060】そして、モジュール配線基板5の表面5a および真面5bは、配線パターンが形成されており、こ れらの配換パターンによって各々のランドならびにモジ に接続されている。

メモリ1の機能切り換え用ピンFP0が重合するランド [0061] また、ランドL1は、実装されるすべての ドL2は配線パターンを介して電源電圧Vccに電気的 と所定の配線パターンによって電気的に接続され、ラン に接続され、ランドL3は配線パターンを介してグラン ド電位Vssに電気的に接続されている。

(0062) そして、ランドL1とランドL2との囮ま ップを実装あるいは実装するのを省略し、機能切り換え たはランドL1とランドL3との間に後述する導通用チ **信号としてメモリ1に入力し、機能切り換えを選択的に**

[0063]また、機能切り換え手段KK1は、これら ランドL1~L3ならびに導通用チップによって構成さ 一拍した行う。

れていることになる。

線パターンを介して配気的に接続され、ランドL6はグ ンFP1が低合するランドと所定の配線パターンによっ て電気的に接続され、ランドL5は電波電圧Vccに配 【0064】さらに、モジュール配線基板5のランドL 4は、実装されるすべてのメモリ1の機能切り換え用ど

ランド電位Vssに配線パターンを介して電気的に接続

[0065] そして、ランドL4とランドL5との閏ま たはランドL4とランドL6との間に後述する導通用チ ップを実装あるいは実装するのを省略し、機能切り換え 信号としてメモリ1に入力し、機能切り換えを選択的に 一括した行う。 [0066]また、機能切り換え手段KK2は、これら ランドレ4~L6ならびに導通用チップによって構成さ れていることになる。 【0067】さらに、均通用チップを実抜するモジュー **ル配積基板5のランドL1~L3, L4~L6は、前述** したよろに、モジュール I / O 絡子M T が付回していな い一方の長辺側のコーナ部近傍に散けられているので金 国ケースなどによってケーシングされたメモリモジュー ルMMであっても
単通用チップの着脱を容易に行うこと

ル配稿基板5にメモリ1やチップ部品などを実装するこ Inline Memory Module) であるメ 【0068】そして、図7に示すように、このモジュー とによって、いわゆる、8パイトDIMM (Dual

モリモジュールMMが構成されることになる。

[0069] ここで、図7において、メモリ1の切り換 機能の切り換えが、機能切り換え用ピンFP0,FP1 に入力される機能切り換え倡号によってリフレッシュサ イクルが2kサイクル、読み出し方式がFAST PA えは、ワード構成が、予め4M×4ピットに設定され、 GEとなるように適択されるものとする。

【0070】町ぶしたように、リフレッシュサイクルを 2kサイクル、読み出し方式をFAST PAGEとす る場合、図4から、機能切り換え用ピンFP 0 に入力さ れる機能切り換え信号はノンコネクト、機能切り換え用 ピンFP1に入力される機能切り換え信号を電源電圧V c c に すればよいことになる。

コネクトであるので、ランドレ1~レ3には、ジャンパ や抵抗などのチップ部品である導通用チップの実装が名 **略され、モジュール配御基板5に実装されたすべてのメ** モリ1の機能切り換え用ピンFP 0は一括してノンコネ [0071]よって、機能切り換え用ピンFPOはノン クト状態となる。 【0072】また、機能切り換え用ピンFP1には電源 **ccと接続されているランドL5との間にジャンパや塩** 抗などのチップ部品である導通用チップ(導通手段)J **Cが実装され、モジュール配偽基板5に実装された全て** のメモリ1の機能切り換え用ピンFP1に電源電圧Vc 電圧V c c が入力されるので、ランドL 4 と電源電圧V こか入力される。

[0073] よって、図8に示すように、すべてのメモ リ1 (図2) の機能切り換え用ピンFP1に電源電圧V c c を供給する場合には、モジュール配線基板 5(図

20

3)のランドL4とランドL5との間に導通用チップJ Cを実装するだけでよいことになる。

切り換え手段KK1,KK2によって一括して選択的に FP1,FP0に入力される機能切り換え倡号は、機能 5結線状態を図9のブロックダイアグラムに示す。図9 【0074】ここで、このメモリモジュールMMにおけ に示すように、すくたのメモリ 1の被能切り換え用ビン 切り換えられることになる。

MM (Small OutlineDual Inli ne Memory Module)により構成されて [0075] 次に、メモリモジュールMMが、SODI いる場合の実装例を図10に示す。

ており、メモリ1は、二段重ねに実装された積層構造と 【0076】この場合も同様に、モジュール配徴基板5 の表面5 aおよび裏面5 bにそれぞれ所定の個数のTC P形のメモリ1が実装されて所定のメモリ構成を構成し なっている。 【0077】また、モジュール配徴基板5の表面5gに トDIMMのメモリモジュールと同様に、メモリ1に設 換え信号の状態を切り換える後述する導通用チップを実 けられた機能切り換え用ピンFPO, FP1に機能切り おける一方の長辺のコーナ部近傍には、前述した8パイ 抜するランドL1, L3, L4, L5が設けられてい

ドと所定の配線パターンによって電気的に接続され、ラ ンドL3は配線パターンを介してグランド電位Vssに [0078] そして、ランドL1は、実抜されるすべて のメモリ1の機能切り換え用ピンFP0が重合するラン 電気的に接続されている。 [0079]また、ランドL4は、実装されるすべての メモリ1の機能切り換え用ピンFP1が重合するランド と所定の函線パターンによって電気的に接続され、ラン ドL5は電視電圧Vccに配線パターンを介して電気的 に接続されている。

ຣ

るいはランドし 4とランドし 5との間に導通用チップを [0080] そして、ランドL1とランドL3との脳あ 実装あるいは実装するのを省略し、機能切り換え信号と してメモリ 1に入力し、機能切り換えを選択的に一括し [0081] さらに、ジャンパや柏杭などのチップ部田 である導通用チップJCを実装するモジュール配線基板 5のランドL1, L3あるいはランドL4, L5は、図 ていない一方の長辺側のコーナ部近傍に散けられ、金属 ケースなどによってケーシングされたメモリモジュール であっても母通用チップの智脱を容易に行うことができ 10に示すように、モジュール1/0端子MTが位置し

【UU82】また、SODIMMにより構成されたメモ リモジュールに用いられるモジュール配線基板5は、図 11 (a) ~ (e) に示す規格によって形成されてい

[0083] さらに、メモリモジュールMMにおける結 線状態を図12のブロックダイアグラムに示す。

[0084] 図12に示すように、すべてのメモリ1の 機能切り換え用ピンFP 1に入力される機能切り換え信 号は、電源電圧Vccまたはノンコネクトのいずれかを **換えられ、すべてのメモリ1の機能切り換え用ピンFP 始能切り換え手段KK1によって一括して選択的に切り** Sまたはノンコネクトのいずれかを機能切り換え手段K 0に入力される機能切り換え信号は、グランド電位Vs K2によって一括して選択的に切り換えられる。 2

ss (図12では、ON'と示す)の場合、競み出し方 [0085] よって、機能切り換え用ピンFP0の入力 り、機能切り換え用ピンFP0の入力がグランド電位V がノンコネクト (図12では、0FF'と示す)の場 合、読み出し方式はFAST PAGEのモードとな **気はEDOのモードとなる。**

[0086] また、機能切り換え用ピンFP1の入力が クルとなり、機能切り換え用ピンFP 1の入力が電源電 EVcc (図12では, ON, と示す) の場合、リフレ ノンコネクトの場合、リファッシュサイクルは4Kサイ シシュサイクルは2Kサイクルとなる。

トとすればよいので、図10に示すように、ランドL1 機能切り換え用ピンFP0の入力はグランド低位Vss ドL4, L5には均通チップJCの実装を省略すればよ となり、機能切り換え用ピンFP 1の入力をノンコネク とランドL 3との間に苺通用チップJ Cを実抜し、ラン ド、リフレッシュサイクルを4Kサイクルとする場合、 [0087] たとえば、読み出し方式をEDOのモー

0 1

役KK1,KK2によって選択的に切り換えたが、機能 ccまたはノンコネクトのいずれかまたはグランド電位 Vssまたはノンコネクトのいずれかを堪能切り換え手 し、それらの機能切り換え倡号を組み合わせてメモリ1 [0088] ここでは、機能切り換え信号を配源電圧V 切り換え手段KK1,KK2を亀颉和圧Vcc、グラン ド電位Vsstたはノンコネクトから選択する構成と いことになる。

[0089] それにより、本実施の形態1によれば、以 こおける機能の切り換えを行うこともできる。

活して切り換えて設定することができるので、メモリモ 【0090】(1) 機能切り換え手段KK1, KK2に よって実装されたすべてのメモリ 1の機能切り換えを一 ジュールMMの機能切り換えを短時間で容易に行うこと 下の効果を得ることができる。 9

读を共通化することができるので、製品の開発効率を向 [0091] (2) メモリモジュールMMの組み立て仕 上でき、製品質理も容易に行うことができる。

[0092] (3)機能切り換え手段KK1, KK2を モジュール配線基板5のコーナ部またはその近傍に設け

20

特閥平9-293938

3

あっても、容易に短時間でメモリ1の機能切り換えの作 ることにより、製品として完成したメモリモジュールで **築を行うことができ、生壁性の自由度を大幅に向上させ** ることができる。

[0093] (英樋の形態2) 図13は、本発明の実施 は、本発明の実施の形態2によるメモリを実装したメモ の形態2によるメモリのピン配置図、図14~図16 リモジュールの結鎖説明図である。

ケージの1種であるTCP形のDRAM半導体装置から FPDとして股けられ、入力される機能切り換え信号の 6 ピンの総ピン数により構成され、機能の切り換えを行 [0094] 本実版の形態2においては、 表面実装バッ なるメモリ1aが、図13に示すように、たとえば、3 **ðポンディングバッドBP1, BP0と接続された2,** 35ピンのアウタリードが機能切り換え用ビンFP1, 状態により任意の機能が切り換えられる。

17, 20 ピンのアウタリードがワード構成切り換え用 ピン (ワード構成切り換え用外部端子) FP3, FP2 換えるボンディングバッドBP3, BP2と接続された として骰けられており、これらに入力されるワード苺点 切り換え信号の状態により、任意のワード構成が切り換 [0095]また、メモリ1aには、ワード構成を切り

淑虹圧Vcc用のピンおよびVssは基準配位であるグ ドレス入力用のピン、RAS、CASは行と列の選択官 入出力信号の状態を傾御する信号用のピン、Vccは弧 [0096] さらに、メモリ1aにおいて、IO0~I 07はデータ入出力用のピン、WEはアクセスがリード かライトかを指定する信号用のピン、A 0~A 1 1はア **母用のピン、0mはリード時にデータ出力信号、データ ランド和位用のピンとなっている。**

[0097] 次に、メモリ18における内部結線構造に しいた異体的に説明する。

図4に示すように、リフレッシュ動作のサイクルである とEDOとの競み出し方式の切り換えからなる機能の切 り換えを機能切り換え用ピンFP1,FP0に入力され 4M×1K»h, 4M×4K»h, 4M×8K»h03 [0098]まず、メモリ18は、たとえば、前記した リフレッシュサイクルの切り換え、FAST PAGE 種類のワード構成の切り換えをワード構成切り換え用ビ ンFP3,FP2に入力されるワード構成切り換え信号 る機能切り換え信号に基づいて任意の行うことができ、 によって行うことができる。

[0099]また、メモリ18におけるこれら機能の切 り換えは、図13に示す2,35ピンの機能切り換え用 Voc、グランド配位Vssまたはノンコネクトから選 ピンFP1,FP0に機能切り換え信号となる電源電圧 択された信号を入力し、それらを図4に示すように紹み 合わせることにより行う。

20 [0100] さらに、メモリ1aのワード構成の切り換

構成切り換え信号となる電源電圧Vcc、グランド電位 し、それらを図4に示すように組み合わせることにより えも、同様に、ワード構成を切り換える17,20ピン のワード構成切り換え用ピンFP3,FP2に、ワード VSSまたはノンコネクトから遊択された信号を入力

ルにおけるメモリ1 aの結鎖状態を模式的に示したもの aの機能切り換えおよびワード構成の切り換えを切り換 える方法について説明する。また、図11~図17は実 **際の実装配置を説明するものではなく、メモリモジュー** 【0101】ここで、図14~図17を用いてメモリ1

[0102] まず、図14において、メモリ18の実徴 基板には、予め所定のワード構成に対応する配線が施さ れ専用のモジュール配線基板(専用プリント配線基板) 6 が用いられる。

【0103】また、モジュール配線基板6には、機能切 り換え用ピンFP1,FP0およびワード構成切り換え 用ピンFP3, FP2が散けられたメモリ1aが実装さ

成切り換え用ピンFP3, FP2にノンコネクト、電源 【0104】さらに、モジュール配領基板6は、所定の ワード構成が設定されるように、メモリ18のワード構 質圧V c c またはグランド電位V s s における所定のワ 一下切り換え信号が入力される配線パターン (ワード構 れている。

成散定配線)HP1の配線が施されている。

換え手段KK1ならびにメモリ1aの機能切り換え用ビ c c またはグランド電位V s s のいずれかから選択され 18の機能切り換え用ピンFP0に入力されるノンコネ クト、電視電圧Vccまたはグランド電位Vssから選 択された機能切り換え倡号を任意に切り換える機能切り ンFP1に入力され、同じくノンコネクト、電源電圧V る機能切り換え信号を任意に切り換える機能切り換え手 **【0105】また、モジュール配積基板6には、メモリ** 段KK2が散けられている。

【0106】そして、モジュール配線基板6に実装され P1は、それぞれ機能切り換え手段KK1, KK2に接 たすべてのメモリ1gの機能切り換え用ビンFP0,F 続されるように配線パターンHPによって配線が描され

KK2によって前述した機能切り換え信号を任意に切り 換え、図4に示す読み出し方式およびリフレッシュサイ クルからなる機能を任意に切り換え散定することができ [0107] よって、これら機能切り換え手段KK1,

あっても任意にメモリ18の機能を切り換えて設定変更 [0108] それにより、機能切り換え手段KK1, K K 2によって、メモリ1aに実装前であっても実装後で することがたかる。 [0109]次に、図15においては、メモリ1aを実

装する専用のモジュール配摘基板6に任意のワード構成 が設定されるように、メモリ18のワード構成切り換え 用ピンドP3,FP2に、ノンコネクト、解源粒圧V c oまたはグランド電位V S Sのいずれかをワード構成切 り換え倡号として任意に切り換えるワード構成切り換え 手段WK 1, WK 2が設けられている。

に、メモリ1aの機能切り換え用ピンFP0, FP1に 前述した機能切り換え信号を任意に切り換える機能切り 【0110】また、モジュール配線基板6には、同様 換え手段KK1, KK2が散けられている。

[0111] そして、モジュール配線基板6に実抜され たすべてのメモリ1aの模能切り換え用ビンFP⑴,F P1は、それぞれ機能切り換え手段KK1,KK2に接 1,WK2に接続されるように配線パターンHPによっ れ、すべてのメモリ18のワード構成切り換え用ピンド P2, FP3は、それそれワード構成切り換え手段WK 続されるように配線パターンHPによって配線が低さ て配線が描されている。

KK2によって機能切り換え信号を任意に切り換え、図 4に示す糖み出し方式およびリフレッシュサイクルから [0112] よって、これら機能切り換え手段KK1, なる機能を任意に切り換えて散定する。

ード梅成切り換え手段WK 1, WK 2によってワード権 【0113】また、モジュール配線基板6に対応したワ 一下構成にメモリ18が切り換わり設定されるようにワ 成切り換え信号を切り換える。

[0114]それにより、機能切り換え手段KK1, K 任意にメモリ1 aの機能ならびにワード構成を切り換え **って、メモリ1aの実装前であっても実装後であっても** K 2およびワード構成切り換え手段WK 1, WK 2によ て散定変更することができる。

【0115】また、モジュール配線基板にワード構成を 切り換えは、予め所定の機能が切り換えられて股定され るように実装されるメモリの機能切り換え用ピンに所定 の機能切り換え信号か入力される配揚パターンの配線を 切り換えるワード構成切り換え手段だけを設け、機能の **施し、ワード構成を切り換えて散定だけを任意に行うよ みにしてもよい。**

【0116】この場合も、切り換えて設定されるワード 構成および機能に対応する専用のモジュール配線基板が 用意され、この専用のモジュール配線基板にメモリが実 抜されることになる。

\$

[0117] 次に、図16においては、メモリ18を実 **ード構成切り換え信号がワード構成切り換え用ビンFP** HP1ならびに予め散定された機能切り換え倡号が接能 切り換え用ビンFP1,FP0に入力されるように配線 された配湯パターン(機能股定配線)HP2か形成され 接する専用のモジュール配線基板6に予め設定されたワ 3, FP2に入力されるように配線された配線パターン

・構成が切り換えられて設定された専用のモジュール配 モリ18を実装することにより、自動的にメモリ18の 機能およびワード構成の切り換えが行われ、散定される **模基板6を選択し、選択したモジュール配偽基板6にメ** [0118] そして、予め所定の機能および所定のワー

(図13) に機能切り換え俗号の状態を切り換える苺通 用チップおよびその導通用チップを実換する実装ランド は、メモリ1aに散けられた機能切り換え用ピンドP0 [0119]また、前述した機能切り換え手段KK1 によって構成されている。

換え用ピンFP 0 が近合するランドと所定の配ねパター ンを介して電源電圧Vooに電気的に接続された電源ラ ンドならびに配線パターンを介してグランド低位Vss ンによって個気的に接続された機能ランド、配線パター に電気的に接続されたグランドランドにより構成されて [0120] さらに、これらの実装ランドは、機能切り

よって電気的に接続された機能ランド、配線パターンを [0121] 同様に、機能切り換え手段KK1も、メモ 3)に機能切り換え信号の状態を切り換える導通用チッ プおよびその導通用チップを実装する実装ランドによっ **用ビンFP1が重合するランドと所定の配稿パターンに** 介して包添電圧Vccに紅気的に接続された包裹ランド ならびに配線パターンを介してグランド配位Vssに電 て構成されており、これら実装ランドは、機能切り換え 気的に接続されたグランドランドにより構成されてい リ18に設けられた機能切り換え用ピンFP1(図1

t) t

【0122】そして、機能ランドと電源ランドとの間ま たは機能ランドとグランドランドとの間に導通用チップ グランド電位Vssまたはノンコネクトのいずれかを任 **흾に選択して機能切り換え信号としてメモリ1aに入力** を実装あるいは実装するのを省略し、電源電圧Vcc、

[0123] 次に、前述したワード構成切り換え手段W K1は、メモリ1aに散けられたワード構成切り換え用 ピンFP2 (図13) に機能切り換え佰号の状態を切り 換える導通用チップ(導通手段)およびその導通用チッ プを実装する実装ランドによって構成されている。 し、機能切り換えを選択的に一括して行う。

【0124】さらに、これらの実抜ランドは、ワード格 **丸切り換え用ピンFP2が瓜合するランドと所定の配線** バターンによって 電気的に 接続されたワードランド (第 4の接続部)、配線パターンを介して低源位氏Vccに **電気的に接続された電調ランド (第5の接続部) ならび** に配線パターンを介してグランド電位Vssに電気的に **妾稅されたグランドランド(第6の接続部)により構成**

メモリ18に設けられたワード構成切り換え用ビンドP [0125]また、ワード構成切り換え手段WK2も、 2

9

特別平9-293938

3 (図13) に機能切り換え信号の状態を切り換える導 **画用チップおよびその導通用チップを実装する実装ラン** ドによって構成されている。

た電視ランドならびに配線パターンを介してグランド電 位Vssに電気的に接続されたグランドランドにより構 [0126] これらの実被ランドも、回接に、ワード格 成切り換え用ピンFP2が取合するランドと所定の配線 パターンによって 亀吹むに 接続されたワードランド、昭 緯パターンを介して低淑電氏Vocに電気的に接続され

ップを実装あるいは実装するのを省略し、ワード構成切 [0127] そして、ワードランドと亀淑ランドとの閩 またはワードランドとグランドランドとの間に導通用チ り換え倡号としてメモリ18に入力し、ワード構成の切 り換えを選択的に一括して行う。

ゲされたメモリモジュールであっても苺通用チップの着 【0128】また、前述した導通用チップを実装する実 装ランドは、モジュール配換基板6のコーナ部近傍に配 酉することによって、金圓ケースなどによってケーシン **说を容易に行うことができる。**

[0129] それにより、本実施の形態2によれば、以 下の効果を得ることができる。

2

ワード構成切り換え手段WK 1, WK 2によって実装さ れたすべてのメモリ18の機能およびワード構成の切り ルMMの機能切り換えを短時間で容易に行うことができ 換えを一括して行うことができるので、メモリモジュー [0130] (1) 機能切り換え手段KK1, KK2、

[0131] (2) 上記(1)により、メモリ1ねに用 で、コストを低減させ、且つ生産性を向上させることが いられるフィルムの仕様を共通化することができるの

[0132] (3) メモリモジュールMMの組み立て仕 **樹を共通化することができるので、製品の開発効率を向** 上でき、製品管理も容易に行うことができる。

も、容易に短時間でメモリ18の機能切り換えの作業を [0133] (4)機能切り換え手段KK1, KK2な らびにワード構成切り換え手段WK 1, WK 2をモジュ 一ル配線基板6のコーナ部またはその近傍に散けること により、製品として完成したメモリモジュールであって 行うことがたきる。 [0134]また、本実施の形態2では、TCP形のメ とほぼ同じ外径寸法のパッケージからなるCSP(Ch ipSize Package) 形などのBGA (Ba モリ18について記載したが、たとえば、半導体チップ (Small Outline J-leadedPa p) 標道からなるメモリを用いてメモリモジュールを構 ckage) 形などのLOC (Lead On Chi 11 Grid Array) 樹油のメモリやSOJ

は、図17に示すように、所定のピンが、機能の切り数 えを行う機能切り換え用ピンFP1,FP0ならびにワ [0135] たとえば、CSP形のメモリ1 bにおいて 一ド構成を切り換えるワード構成切り換え用ピンFP

3, FP2として割り付けられる。

【0136】また、これらメモリ16を実装するモジュ ール配線基板には、同様に、機能切り換え手段、ワード 構成切り換え手段が散けられ、機能切り換え用ピンFP り換え用ビンFP3, FP2にワード構成切り換え信号 を入力することによって、任意に機能およびワード構成 1, FP0に機能切り換え倡号を入力し、ワード構成切 の切り換えを行うことができる。

[0137] 次に、たとえば、SOJ形のメモリ16に おいては、図18に示すように、所定のピンが、機能の 切り換えを行う機能切り換え用ピンFP1, FP0なら びにワード構成を切り換えるワード構成切り換え用ビン 切り換え用ビンFP1,FP0ならびにワード構成切り 換え用ビンFP3,FP2が、それぞれ半導体チップ2 に設けられたポンディングバッドである所定の機能切り 換え用バッドBP1,BP0、ワード構成切り換え用パ ッドBP3, BP2とポンディングワイヤWによって臨 FP3,FP2として割り付けられており、それら被能 気的に接続されている。

積基板には、同様に、機能切り換え手段、ワード構成切 り換え手段が散けられ、機能切り換え用ピンFP1,F 用ピンFP3,FP2にワード構成切り換え信号を入力 【0138】また、メモリ1cを実抜するモジュール配 P Oに機能切り換え信号を入力し、ワード構成切り換え することによって、任意に機能およびワード構成の切り 換えを行うことができる。 2

【0139】以上、本発明者によってなされた発明を発 前記英施の形態に限定されるものではなく、その要旨を 逸脱しない範囲で種々変更可能であることはいうまでも 明の実施の形態に基づを具体的に説明したが、本発明は

[0140] たとえば、町配英楠の形態1,2では、機 換え手段やワード構成切り換え手段によって一括してメ モリモジュールに実抜されたすべてのメモリに供給され ていたが、一括してメモリモジュールに実装されたすべ てのメモリに機能切り換え倡号、ワード構成切り換え倡 号を供給するのではなく、2、3個のメモリ毎に機能切 り換え手段、ワード構成切り換え手段を散けるようにし 能切り換え信号、ワード構成切り換え信号は、機能切り てもよい。

ル配線基板に、たとえば、EEPROM(Electr チップ部品であるジャンパや抵抗などの導通用チップを ically Erasable Programma ble Read Only Memory)などの半 **塩択的に着脱して接続先を切り換えていたが、モジュー** [0141]また、前記実施の形態1,2においては、

2

単体接回を用いて、メモリの機能切り換え用ピンに入力 される機能切り換え倡号やワード構成切り換え用ピンに 入力されるワード構成切り換え信号を選択して切り換え るようにしてもよい。

能切り換え用ピンと配線パターンにより電気的に接続が モジュール配線基板に実装されている各々のメモリの視 【0142】この場合、EEPROMの所定のピンは、

る機能切り換え用ビン、ワード構成切り換え用ビンをバ メモリが、所定の機能となるようにプログラムが入力さ 機能切り換え用ピン、ワード構成切り換え用ピンと接続 [0144] さらに、前記実施の形態1,2では、機能 を実装するランドと接続させないことによりノンコネク [0143] また、EEPROMKIL、Fめそれそれの かれたいる形成のアンの種質的なフィンが起源範囲、グ 切り換え用ピン、ワード構成切り換え用ピンをノンコネ ッケージ輪部からリード切断工程で切り落とし、メモリ れており、EEPROMは、そのブログラムに基づいて ランド質位あるいはノンコネクトのいずれかにすること クトとする場合、その機能切り換え用ピンと接続されて いる導通用チップを未実装としたが、ノンコネクトとな により、メモリの機能、ワード構成の切り換えを行う。 ・状態としたもよい。

[0145]また、前記実施の形態1,2において、メ モリの機能の切り換えは、リフレッシュサイクルならび にFAST PAGEとEDOからなる読み出し方式で スDRAM助作モードの切り換えなどさまざまな切り換 **あったが、たとえば、DRAM動作モードやシンクロナ** えを機能切り換え手段によって外部から行うようにして

[0146]

【発明の効果】本願によって開示される発明のうち、代 **表的なものによって得られる効果を簡単に説明すれば、** 以下のとおりである。 【0147】 (1) 本発明によれば、メモリモジュール の組立仕様を共通化でき、半導体装置の機能別の管理を 不要とすることができる。

えることができるので、ブリント配線基板の仕様を統一 ルの完成後であっても半導体装置の機能を任意に切り換 でき、仕様変更などにもフレキシブルに対応することが 【0148】(2)また、本発明では、メモリモジュー

パまたは抵抗などの導通手段を選択的に登脱することに より、低コストで容易に半導体装置の機能を切り換える [0149] (3) さらに、本館即においたは、ジャン

生産性を大幅に向上させることができ、且つ製品管理を ~(3)により、半導体装置の製品開発の効率ならびに [0150] (4)また、本発明によれば、上記(1) 容易にさせることかできる。

特別平9-293938

ŝ

[図1] 本発明の実施の形態 1によるメモリの要部の構 [図面の簡単な説明] 造説明図である。 【図3】本発明の実施の形態1によるメモリの内部結構

[図2] 本発明の実施の形態1によるメモリのピン配置

【図4】本発明の実施の形態1によるメモリの機能およ **ぴワード構成の切り換えの説明図である。** を示す説明図である。

【図5】本発明の英施の形態1によるメモリを契接した

[図6] 本発明の実施の形態1によるメモリを実装する メモリモジュールの結構説明図である。

【図7】本発明の実施の形態1によるメモリを実装した モジュール配線基板の実装図である。 モジュール配線基板の配線図である。

【図8】本発明の実施の形態1によるメモリの機能切り 換えを行うジャンパの実装例を示す説明図である。

[図9] 本発明の実施の形態1によるメモリモジュール のブロックダイアグラム図である。

【図10】本発明の他の実施の形態によるメモリを実装 したモジュール配線基板の実装図である。

[図11] (a) ~ (e) は、本発明の他の実施の形態 によるモジュール配線基板の規格図である。

【図12】本発明の他の実施の形態によるメモリモジュ 一ルのブロックダイアグラム図である。

0 1

[図13] 本免明の実施の形態2によるメモリのピン配

[図14] 本発明の実施の形態2によるメモリを実装し たメモリモジュールの結ば説明図である。 [図15] 本発明の実施の形態2によるメモリを実装し たメモリモジュールの結構説明図である。

2

[図16] 本発明の契施の形態2によるメモリを実装し [図17]本発明の他の契値の形態によるメモリのアン たメモリモジュールの結線説明図である。

[図18] 本発明の他の実施の形態2によるメモリの内 部結構を示す説明図である。 配置図である。

[作与の説明]

1 メモリ

18 メモリ 1b ×モリ 2

10 メモリ

半導体チップ

71114

48 インナリード 4b アウタリード

5 モジュール配線基板 (ブリント配線基板)

5 8 表面 5 b 英國

S

L4 ランド (第1の接続部) L5 ランド (第2の接続部) 136 モジュール配積基板 (専用ブリント配線基板)

E 3

L 6 ランド (第3の接続部)

BP0~BP3 ポンディングバッド FP0,FP1 機能切り換え用ピン (機能切り換え用

BP ポンディングバッド

FP2,FP3 ワード構成切り換え用ピン (ワード権 外部端子)

成切り換え用外部端子)

WK1, WK2 ワード構成切り換え手段 KK1, KK2 機能切り換え手段

HP1 配線パターン (ワード構成般定配線)

JC 英通用チップ (英通手段)

HP 配線パターン

MT モジュールI/O結子 MM メモリモジュール

HP2 配線パターン (機能設定配線)

10 W ボンドィングワムヤ

Vcc 電源電圧

Vss ゲランド配位

L1 ランド (第1の接続部) L2 ランド (第2の接続部)

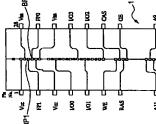
L3 ランド (第3の接続部)

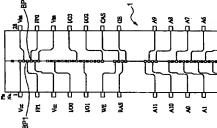
(⊠1)

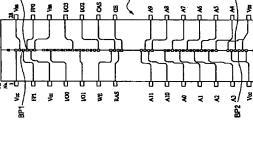
[⊠2]

2 ⊠

8 Ů 8 **%** E



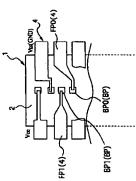




(EX3)

函

(88) (88)



Von Proceedings (4)	BP2(BP)
\$\frac{1}{2}\frac{1}\frac{1}{2}\f	(a) (a) (b) (a) (b) (b) (b) (c) (c) (c) (c) (c) (c) (c) (c) (c) (c

[🖾 4]

<u>网</u>

-											_
ት 1		× 1/4K cycle refresh/FAST PAGE	× 1/4K cycle refresh/EDO	× 42K cycle refreshFAST PAGE	×4/2K cycle refresh/BDO	× 4/4K cycle refresh/FAST PAGE	×4/4K cycle refresh/EDO	×8/2K cycle refresh/FAST PAGB	× 8/2K cycle refresh/BDO	×84K cycle refreshFAST PAGE	×8/4K cycle nefresh/PDO
名称	ш	NEIGO	OPEN	NEGO	OPEN	NEAO	NEGO	χ	жΛ	æΛ	ωA
	744	Vss	VES	NEdO	NEGO	NEW	Nado	OPEN	NEMO	NEGO	OPEN
	PP1	OPEN	OPEN	Λœ	ωA	OPEN	NELO	ş	×Λα	NEGO	NHEO
	FF0	OPEN	Vss	OPEN	٧s	OPEN	Vss	Nado	Vrs	OPEN	Ves

[図5]

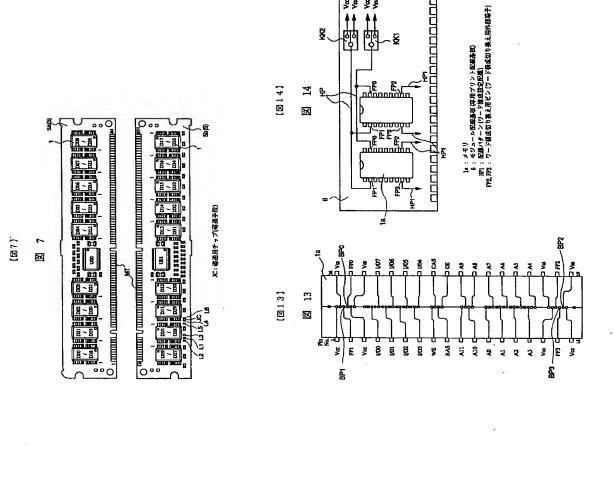
S

刻

- 人配銀塔板(プリント配配基板)

[38]

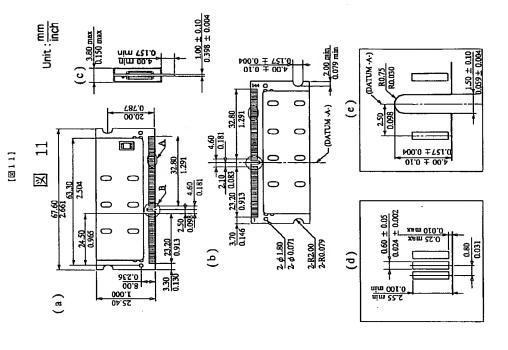
双



2

図

[210]



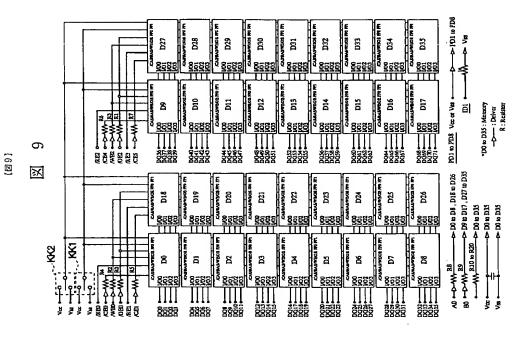
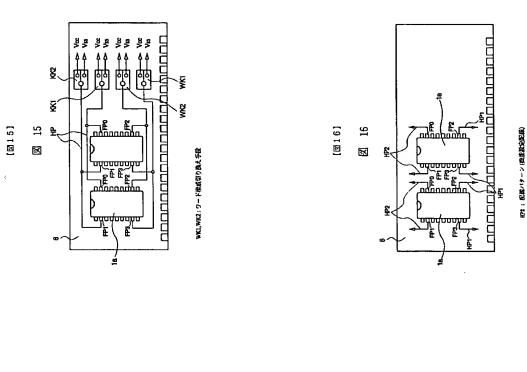


図 12

[図12]



110 CASSRAS/WE/OB

2000 A

ACAS/RAS/WE/OR

5

3

2522 1111

25

8

CAS/RAS/WB/0E

ន

CASRAS/WE/OE

ភ

8888 E

5

D12

2000 2000 2000 1111

Ĕ

2000 2000 1111

UI3

22222 F

S

98888 B

3

KACZA ERONDOULS)

S OFFICE FRONDOULS)

V KK1

, k

ŲŠ Į

N P

8

U15

2222 2222 1111

5

2222

HMS1W16405 2AC02 Cutp capacion

20 and 75 and 75

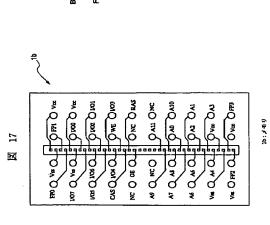
00'510 a 00 4-\$10 a 00 4

Va Can

図

[图18]

[图17]



ノロントページの熱声

(12) 亮明者 常田 健祐 東京都小平市上水本町五丁目10番1号 株式会社日立製作所半導体母薬部内

This Page is Inserted by IFW Indexing and Scanning Operations and is not part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.